

Data driving apparatus and method for liquid crystal display

Patent number: DE10224737

Publication date: 2003-04-30

Inventor: LEE SEOK WOO (KR), CHOI SU KYUNG (KR)

Applicant: LG PHILIPS LCD CO (KR)

Classification:

- International: G09G3/36, G09G3/36; (IPC-1-7)
G09G3/36

- european: G09G3/36C14A

Application number: DE20021024737 20020604

Priority number(s): KR20010063208 20011013

Also published as:

US2003071779 (A1)

JP2003122333 (A)

GB2380849 (A)

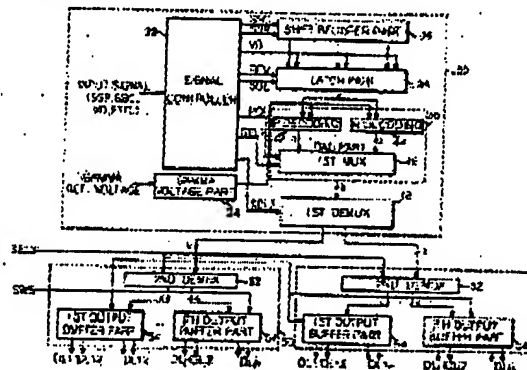
FR2830968 (A1)

Report a data error here

Abstract not available for DE10224737

Abstract of corresponding document: US2003071779

A data driving apparatus for a liquid crystal display includes a digital-to-analog converter part for converting input pixel data into a plurality of pixel signals and time-dividing the converted pixel data signals to time-divided pixel signals, wherein the number of the converted pixel signals is greater than that of the time-divided pixel signals, at least two output buffer parts for sequentially receiving the pixel signals from the digital-to-analog converter part, buffering the time-divided pixel signals, and outputting the buffered time-divided pixel signals to a plurality of data lines, at least two of the plurality of output buffer parts being commonly connected to the digital-to-analog converter part, and a timing controller for controlling the digital-to-analog



BEST AVAILABLE COPY

converter part and the output
buffer parts and time-dividing the
pixel data supplied to the digital-to-
analog converter part into at least
two regions to sequentially supply
the time-divided pixel data to the
data lines.

Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

DE10224737

Publication Title:

Data driving apparatus and method for liquid crystal display

Abstract:

Abstract not available for DE10224737

Abstract of corresponding document: US2003071779

A data driving apparatus for a liquid crystal display includes a digital-to-analog converter part for converting input pixel data into a plurality of pixel signals and time-dividing the converted pixel data signals to time-divided pixel signals, wherein the number of the converted pixel signals is greater than that of the time-divided pixel signals, at least two output buffer parts for sequentially receiving the pixel signals from the digital-to-analog converter part, buffering the time-divided pixel signals, and outputting the buffered time-divided pixel signals to a plurality of data lines, at least two of the plurality of output buffer parts being commonly connected to the digital-to-analog converter part, and a timing controller for controlling the digital-to-analog converter part and the output buffer parts and time-dividing the pixel data supplied to the digital-to-analog converter part into at least two regions to sequentially supply the time-divided pixel data to the data lines.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>



⑬ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 102 24 737 A 1**

⑤① Int. Cl.⁷:
G 09 G 3/36

②① Aktenzeichen: 102 24 737.4
②② Anmeldetag: 4. 6. 2002
④③ Offenlegungstag: 30. 4. 2003

DE 102 24 737 A 1

③⑩ Unionspriorität:
01-0063208 13. 10. 2001 KR
⑦① Anmelder:
LG. Philips LCD Co., Ltd., Seoul/Soul, KR
⑦④ Vertreter:
Viering, Jentschura & Partner, 80538 München

⑦② Erfinder:
Lee, Seok Woo, Kumi, KR; Choi, Su Kyung, Kumi,
KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Datentreiber-Einrichtung und ein Verfahren für eine Flüssigkristall-Anzeige

⑤⑦ Eine Datentreiber-Einrichtung für eine Flüssigkristall-Anzeige weist auf eine Digital-Analog-Wandler-Einheit zum Umwandeln von eingegebenen Pixeldaten in eine Mehrzahl von Pixelsignalen und zum Zeit-Aufteilen der umgewandelten Pixelsignale, um die zeitlich aufgeteilten Pixelsignale auszugeben, wobei die Anzahl der umgewandelten Pixelsignale größer ist als die der zeitlich aufgeteilten Pixelsignale, zumindest zwei Ausgabe-Puffer-Einheiten zum sequenziellen Empfangen der Pixelsignale von der Digital-Analog-Wandler-Einheit, die die zeitlich aufgeteilten Pixelsignale halten und dann die zeitlich aufgeteilten Pixelsignale puffern und an eine Mehrzahl von Datenleitungen ausgeben, wobei zumindest zwei von der Mehrzahl von Ausgabe-Puffer-Einheiten gemeinsam mit der Digital-Analog-Wandler-Einheit gekoppelt sind, und eine Timing-Steuerung zum Steuern der Digital-Analog-Wandler-Einheit und der Ausgabe-Puffer-Einheiten und zum Zeit-Aufteilen der Pixeldaten, die der Digital-Analog-Wandler-Einheit zugeführt worden sind, in zumindest zwei Bereiche, um die zeitlich aufgeteilten Pixeldaten sequenziell den Datenleitungen zuzuführen.

DE 102 24 737 A 1

[0001] Diese Erfindung beansprucht die Vorteile der koreanischen Patentanmeldung Nr. P 2091-63208, angemeldet in Korea am 13. Oktober 2001, welche hiermit durch Bezugnahme aufgenommen wird.

[0002] Die Erfindung schafft eine Flüssigkristall-Anzeige und insbesondere eine Datentreiber-Einrichtung und ein Verfahren für eine Flüssigkristall-Anzeige, wobei ein Digital-Analog-Wandler und ein Ausgabe-Puffer separat integriert sind, so dass ein Verlust infolge eines schlechten Tape Carrier Packages drastisch reduziert wird. Ferner ist die Erfindung auf eine Datentreiber-Einrichtung und ein Verfahren für eine Flüssigkristall-Anzeige gerichtet, wobei ein Digital-Analog-Wandler auf einer Zeit-Aufteilungs-Basis getrieben wird, so dass die Anzahl der integrierten Schaltkreise zum Bereitstellen einer Digital-Analog-Umwandlungsfunktion reduziert wird.

[0003] Im Allgemeinen steuert eine Flüssigkristall-Anzeige (LCD) eine Lichtübertragung eines Flüssigkristalls unter Verwenden eines elektrischen Feldes, um ein Bild anzuzeigen. Zu diesem Zweck weist die LCD ein Flüssigkristall-Anzeige-Panel auf, das Flüssigkristall-Zellen, die in einer Matrix angeordnet sind, und einen Treiber-Schaltkreis zum Treiben des Flüssigkristall-Anzeige-Panels aufweist.

[0004] Bei dem Flüssigkristall-Anzeige-Panel sind Gate-Leitungen und Datenleitungen in solch einer Weise angeordnet, dass sie einander kreuzen. Eine Flüssigkristall-Zelle ist an jedem Kreuzungspunkt der Gate-Leitungen und der Datenleitungen positioniert. Das Flüssigkristall-Anzeige-Panel ist mit einer Pixelelektrode und einer gemeinsamen Elektrode zum Anlegen eines elektrischen Feldes an jeder der Flüssigkristall-Zellen versehen. Jede Pixelelektrode ist mittels Source- und Drain-Elektroden eines Dünnschichttransistors als eine Schaltereinrichtung mit einer der Datenleitungen gekoppelt. Die Gate-Elektrode des Dünnschichttransistors ist mit einer der Gate-Leitungen gekoppelt, was es ermöglicht, ein Pixel-Spannungssignal an die Pixelelektroden für jede der Leitungen anzulegen.

[0005] Der Treiber-Schaltkreis weist einen Gate-Treiber zum Treiben der Gate-Leitungen, einen Daten-Treiber zum Treiben der Datenleitungen und einen gemeinsamen Spannungsgenerator zum Treiben der gemeinsamen Elektrode auf. Der Gate-Treiber legt sequenziell ein Abtastsignal an die Gate-Leitungen an, um die Flüssigkristall-Zellen auf dem Flüssigkristall-Anzeige-Panel auf jeweils einer Leitung sequenziell zu treiben. Der Daten-Treiber legt ein Daten-Spannungssignal an jede der Datenleitungen an, wann immer das Gate-Signal an eine der Gate-Leitungen angelegt wird. Der gemeinsame Spannungsgenerator legt eine gemeinsame Spannung an die gemeinsame Elektrode an. Demgemäß steuert das LCD eine Lichtübertragung mittels eines elektrischen Feldes, das zwischen der Pixelelektrode und der gemeinsamen Elektrode angelegt wird, gemäß dem Daten-Spannungssignal für jede Flüssigkristall-Zelle, um dadurch ein Bild anzuzeigen. Jeder der Datentreiber und Gate-Treiber wird von einem integrierten Schaltkreis (IC)-Chip gebildet. Sie sind auf einem Tape Carrier Package (TCP) befestigt und mit dem Flüssigkristall-Anzeige-Panel hauptsächlich mittels einer Tape Automated Bonding (TAP)-Systems verbunden.

[0006] Fig. 1 zeigt schematisch einen Daten-Treiber-Block in einem herkömmlichen LCD.

[0007] Bezugnehmend auf Fig. 1 weist der Daten-Treiber-Block Daten-Treiber-ICs 4, die mittels der TCPs 6 mit einem Flüssigkristall-Anzeige-Panel 2 gekoppelt sind, und eine Daten-Leiterplatte (PCB) 8 auf, die mittels der TCPs 6 mit den Daten-Treiber-ICs 4 gekoppelt ist.

[0008] Die Daten-PCB 8 empfängt verschiedene Steuersignale von einer Timing-Steuerung (nicht gezeigt) und Datensignale und Treiber-Spannungs-Signale von einem Energiegenerator (nicht gezeigt), um sie den Daten-Treiber-ICs 4 zu übergeben. Jedes der TCPs 6 ist elektrisch mit einem Daten-Pad, das an dem oberen Abschnitt des Flüssigkristall-Anzeige-Panels 2 vorgesehen ist, und mit einem Ausgabe-Pad gekoppelt, das auf jeder der Daten-PCB 8 vorgesehen ist. Die Daten-Treiber-ICs 4 wandeln digitale Pixeldaten in analoge Pixelsignale um, um sie an Datenleitungen, die sich auf dem Flüssigkristall-Anzeige-Panel 2 befinden, anzulegen.

[0009] Zu diesem Zweck weist, wie in Fig. 2 gezeigt, jeder der Daten-Treiber-ICs 4 eine Schieberegister-Einheit 14 zum Anlegen eines sequenziellen Abtastsignals auf. Eine Signalspeicher-Einheit 16 speichert sequenziell Pixeldaten VD als Antwort auf das Abtastsignal und gibt die Pixeldaten VD zeitgleich aus. Ein Digital-Analog-Wandler (DAC) 18 wandelt die Pixeldaten VD von der Signalspeicher-Einheit 16 in ein Pixelsignal um. Eine Ausgabe-Puffer-Einheit 26 puffert das Pixelsignal von dem DAC 18, um es auszugeben. Ferner weisen die Daten-Treiber-ICs 4 jeweils eine Signal-Steuerung 10 zum Übergeben der verschiedenen Steuersignale von einer Timing-Steuerung (nicht gezeigt) und der Pixeldaten VD auf. Eine Gamma-Spannungs-Einheit 12 führt positive und negative Gamma-Spannungen zu, die in dem DAC 18 benötigt werden. Jeder der Daten-Treiber-ICs 4 treibt n Datenleitungen DL1 bis DLn.

[0010] Die Signal-Steuerung 10 steuert verschiedene Steuersignale, wie beispielsweise SSP, SSC, SOE, REV und POL, sowie die Pixeldaten VD, um sie an die entsprechenden Elemente auszugeben. Die Gamma-Spannungseinheit 12 unterteilt verschiedene Gamma-Referenzspannungen von einem Gamma-Referenzspannungs-Generator (nicht gezeigt) für jede Graustufe und gibt die unterteilten Gamma-Referenzspannungen aus.

[0011] Schieberegister, die in der Schieberegister-Einheit 14 enthalten sind, verschieben sequenziell einen Source-Startimpuls SSP von der Signal-Steuerung 10 als Antwort auf ein Source-Abtast-Taktsignal SSC, um den Source-Startimpuls SSP als ein Abtastsignal auszugeben.

[0012] Eine Mehrzahl von n Signalspeichern, die in der Signalspeicher-Einheit 16 enthalten sind, lasten sequenziell die Pixeldaten VD von der Signal-Steuerung 10 als Antwort auf das Abtastsignal von der Schieberegister-Einheit 14 ab, um sie zu speichern. Anschließend antworten die n Signalspeicher auf ein Source-Ausgabe-Aktivierungssignal SOE von der Signal-Steuerung 10, um die gespeicherten Pixeldaten VD zeitgleich auszugeben. In diesem Fall stellt die Signalspeicher-Einheit 16 die Pixeldaten VD, die in solch einer Weise moduliert worden sind, dass sie eine reduzierte Übergangs-Bit-Anzahl aufweisen, als Antwort auf ein Daten-Invertierungs-Auswahlsignal REV wieder her und gibt dann die Pixeldaten VD aus. Dies begründet darauf, dass ein Pixelwert VD, der eine Übergangs-Bit-Anzahl aufweist, die einen Referenzwert übersteigt, derart zugeführt wird, dass er derart moduliert wird, dass er eine reduzierte Übergangs-Bit-Anzahl aufweist, um eine elektromagnetische Interferenz (EMI) von der Timing-Steuerung auf die Datenübertragung zu minimieren.

[0013] Der DAC 18 wandelt die Pixeldaten VD von der Signalspeicher-Einheit 16 in Positiv- und Negativ-Pixelsignale um und gibt diese Signale zeitgleich aus. Zu diesem Zweck weist der DAC 18 eine Positiv (P)-Dekodiereinheit 20 und eine Negativ (N)-Dekodiereinheit 22 auf, wobei jede von ihnen gewöhnlich mit der Signalspeicher-Einheit 16 und einem Multiplexer (MUX) 24 zum Auswählen der Ausgabesignale der P- und N-Dekodiereinheiten 20 und 22 ge-

koppelt ist.

[0014] Eine Mehrzahl von n P-Dekodern, die in der P-Dekodiereinheit 20 enthalten sind, wandelt n Pixeldaten, die gleichzeitig von der Signalspeichereinheit 16 eingegeben worden sind, um mit Hilfe der positiven Gamma-Spannungen von der Gamma-Spannungs-Einheit 12 in Positiv-Pixel-signalen. Eine Mehrzahl von n N-Dekodern, die in der N-Dekodiereinheit 22 enthalten sind, wandelt n Pixeldaten, die gleichzeitig von der Signalspeichereinheit 16 eingegeben worden sind, um mit Hilfe der negativen Gamma-Spannungen von der Gamma-Spannungs-Einheit 12 in Negativ-Pixel-signalen.

[0015] Der Multiplexer 24 antwortet auf ein Polaritäts-Steuersignal POL von der Signal-Steuerung 10, um die Positiv-Pixel-signalen von der P-Dekodiereinheit 20 und die Negativ-Pixel-signalen von der N-Dekodiereinheit 22 selektiv auszugeben.

[0016] Eine Mehrzahl von n Ausgabe-Puffern, die in der Ausgabe-Puffer-Einheit 26 enthalten sind, besteht aus Spannungs-Folgern, die mit den n Datenleitungen DL1 bis DLn in Reihe gekoppelt sind. Diese Ausgabe-Puffer puffern die Pixel-signalen von dem DAC 18 und legen die Signale an die Datenleitungen DL1 bis DLn an.

[0017] Wie oben beschrieben, sollte jeder der herkömmlichen Daten-Treiber-ICs 4 n Signalspeicher und 2n Dekoder aufweisen, um so n Datenleitungen DL1 bis DLn zu treiben. Als ein Ergebnis besteht bei dem herkömmlichen Daten-Treiber-IC 4 ein Nachteil darin, dass er eine komplexe Struktur und relativ hohe Herstellungskosten aufweist.

[0018] Ferner ist jeder der herkömmlichen Daten-Treiber-ICs 4 mit dem TCP 6 in einem einzigen Chip gekoppelt, so dass er auf dem Flüssigkristall-Anzeige-Panel 2 und der Daten-PCB 8, wie in Fig. 1 gezeigt, haftet. Demgemäß besteht bei dem TCP eine hohe Wahrscheinlichkeit, dass es beispielsweise bricht oder dass ein Kurzschluss auftritt. Daraus ergibt sich ein großer Verlust in Form von Kosten, da die Daten-Treiber-ICs 4, die in dem TCP 6 befestigt sind, ebenfalls nicht genutzt werden können, wenn das TCP 6 gebrochen oder kurzgeschlossen ist.

[0019] Demgemäß ist die Erfindung auf eine Datentreiber-Einrichtung und ein Verfahren für eine Flüssigkristall-Anzeige ausgerichtet, die im Wesentlichen einem oder mehreren Problemen infolge der Beschränkungen und der Nachteile des Standes der Technik vorbeugen.

[0020] Erfindungsgemäß werden eine Datentreiber-Einrichtung und ein Verfahren für eine Flüssigkristall-Anzeige bereitgestellt, wobei ein Digital-Analog-Wandler und ein Ausgabe-Puffer separat integriert sind, um die Verluste infolge eines schlechten Tape Carrier Packages drastisch zu reduzieren.

[0021] Erfindungsgemäß werden ferner eine Datentreiber-Einrichtung und ein Verfahren für eine Flüssigkristall-Anzeige bereitgestellt, wobei ein Digital-Analog-Wandler auf einer Zeit-Aufteilungs-Basis getrieben wird, um die Anzahl der integrierten Schaltkreise zum Bereitstellen einer Digital-Analog-Umwandlungsfunktion zu reduzieren.

[0022] Erfindungsgemäß werden ferner eine Datentreiber-Einrichtung und ein Verfahren für eine Flüssigkristall-Anzeige bereitgestellt, wobei die Anzahl der Eingangs-Pins eines Ausgabe-Puffer-IC reduziert ist, um einen Pitch auf einem Ausgabe-Pad auf einer Leiterplatte ausreichend sicherzustellen.

[0023] Zusätzliche Merkmale und Vorteile der Erfindung werden in der folgenden Beschreibung ausgeführt und werden zum Teil aus der Beschreibung offensichtlich oder können durch die praktische Umsetzung der Erfindung erlernt werden. Die Ziele und andere Vorteile der Erfindung werden mittels der Struktur realisiert und erzielt, die besonders in

der Beschreibung und den Ansprüchen hiervon ebenso wie in den beigefügten Figuren ausgewiesen sind.

[0024] Um diese und andere Vorteile zu erreichen, und gemäß dem Zweck der Erfindung, wie ausgeführt und ausführlich beschrieben, weist eine Datentreiber-Einrichtung für eine Flüssigkristall-Anzeige eine Digital-Analog-Wandler-Einheit zum Umwandeln von Eingabe-Pixeldaten in eine Mehrzahl von Pixelsignalen und zum Zeit-Aufteilen der umgewandelten Pixelsignale, um die zeitlich aufgeteilten Pixelsignale auszugeben, wobei die Anzahl der umgewandelten Pixelsignale größer ist als die der zeitlich aufgeteilten Pixelsignale, zumindest zwei Ausgabe-Puffer-Einheiten zum sequenziellen Empfangen der Pixelsignale von der Digital-Analog-Wandler-Einheit, die die zeitlich aufgeteilten Pixelsignale halten und dann die zeitlich aufgeteilten Pixelsignale puffern und an eine Mehrzahl von Datenleitungen ausgeben, wobei zumindest zwei von der Mehrzahl von Ausgabe-Puffer-Einheiten gemeinsam mit der Digital-Analog-Wandler-Einheit gekoppelt sind, und eine Timing-Steuerung zum Steuern der Digital-Analog-Wandler-Einheit und der Ausgabe-Puffer-Einheiten und zum Zeit-Aufteilen der Pixeldaten auf, die der Digital-Analog-Wandler-Einheit in zumindest zwei Bereichen zugeführt worden sind, um die zeitlich aufgeteilten Pixeldaten den Datenleitungen sequenziell zuzuführen.

[0025] Bei einem anderen Aspekt der Erfindung wird ein Verfahren zum Treiben einer Datentreiber-Einrichtung zum Treiben einer Mehrzahl von Datenleitungen bereitgestellt, die in einem Flüssigkristall-Anzeige-Panel angeordnet sind, wobei die Treiber-Vorrichtung eine Mehrzahl von Ausgabe-Puffer-Einheiten, die mit jeder der Mehrzahl von Datenleitungen gekoppelt sind, und eine Digital-Analog-Wandler-Einheit aufweist, die im Allgemeinen mit Eingangs-Anschlüssen von zumindest zwei von der Mehrzahl von Ausgabe-Puffer-Einheiten gekoppelt ist, wobei das Verfahren die Schritte aufweist, dass zeitlich aufgeteilte Pixeldaten der Digital-Analog-Wandler-Einheit in zumindest zwei Bereichen zugeführt werden, um zeitlich aufgeteilte Pixeldaten bereitzustellen, dass der Digital-Analog-Wandler-Einheit ermöglicht wird, jeden Pixelwert in analoge Pixelsignale umzuwandeln und den umgewandelten Pixelwert zeitlich aufzuteilen, und dass zumindest zwei Ausgabe-Puffer-Einheiten ermöglicht wird, sequenziell jedes der Pixelsignale sequenziell zu empfangen und zu halten und die Pixelsignale zu puffern, wodurch die Pixelsignale an die Mehrzahl von Datenleitungen angelegt werden.

[0026] Es ist so zu verstehen, dass sowohl die vorangegangene allgemeine Beschreibung als auch die folgende ausführliche Beschreibung exemplarisch und erläuternd sind und darauf abzielen, eine weitere Erläuterung der beanspruchten Erfindung bereitzustellen.

[0027] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

[0028] Es zeigen

[0029] Fig. 1 eine schematische Ansicht, die einen Daten-Treiber-Block in einer herkömmlichen Flüssigkristall-Anzeige zeigt;

[0030] Fig. 2 ein detailliertes Blockdiagramm, das eine Struktur des integrierten Schaltkreises von Fig. 1 zum Daten-Treiben zeigt;

[0031] Fig. 3 ein Blockdiagramm, das eine Struktur eines Daten-Treibers bei einer Flüssigkristall-Anzeige gemäß einem Ausführungsbeispiel der Erfindung zeigt;

[0032] Fig. 4A und 4B Vergleichs-Wellenform-Diagramme von Treiber-Signalen der Signalspeicher-Einheit, wie in Fig. 2 gezeigt, und der Signalspeicher-Einheit, wie Fig. 3 gezeigt;

[0033] Fig. 5 ein Schaltkreisdigramm, das eine Struktur

jedes Ausgabe-Puffers zeigt, der in der Ausgabe-Puffer-Einheit enthalten ist, wie in Fig. 3 gezeigt;

[0034] Fig. 6 eine schematische Ansicht des Daten-Treiber-Blocks der Flüssigkristall-Anzeige, die einen Datentreiber, wie in Fig. 3 gezeigt, beinhaltet;

[0035] Fig. 7 ein Blockdiagramm, das eine Struktur eines Datentreibers in einer Flüssigkristall-Anzeige gemäß einem anderen Ausführungsbeispiel der Erfindung zeigt; und

[0036] Fig. 8 ein Wellenform-Diagramm eines Treiber-Signals für den ersten Demultiplexer, wie in Fig. 7 gezeigt.

[0037] Es wird nun im Detail Bezug genommen auf die dargestellten Ausführungsformen der Erfindung, von denen Beispiele in den beigefügten Figuren dargestellt sind. Wo immer es möglich ist, werden gleiche Bezugszeichen in allen Figuren verwendet, um sich auf gleiche oder ähnliche Teile zu beziehen.

[0038] Fig. 3 ist ein Blockdiagramm, das eine Struktur einer Datentreiber-Einrichtung für eine Flüssigkristall-Anzeige gemäß einem Ausführungsbeispiel der Erfindung zeigt.

[0039] Bezugnehmend auf Fig. 3 ist die Datentreiber-Einrichtung im Wesentlichen aufgeteilt in eine DAC-Einheit, die eine Digital-Analog-Umwandlungsfunktion aufweist, und in Pufferungs-Einheiten, die eine Ausgabe-Pufferungsfunktion aufweisen, die in einen separaten Chip integriert sind. Mit anderen Worten weist die Datentreiber-Einrichtung einen DAC-IC 30 und zumindest zwei Ausgabe-Puffer-ICs 50 auf, die gesondert eingerichtet sind. Insbesondere ist der DAC-IC 30 in zumindest zwei Bereiche auf einer Zeitbasis aufgeteilt, so dass die zumindest zwei Ausgabe-Puffer-ICs 50 gemeinsam mit einem einzigen DAC-IC 30 zum Treiben gekoppelt sind, so dass dadurch eine DAC-Funktion bereitgestellt wird.

[0040] Hier wird ein Fall, in dem zwei Ausgabe-Puffer-ICs 50 gemeinsam mit einem einzigen DAC-IC 30 gekoppelt sind, als ein Beispiel beschrieben.

[0041] Eine Mehrzahl von $2n$ Pixeldaten, die $2n$ Datenleitungen DL11 bis DL1n und DL21 bis DL2n zuzuführen sind, sind auf einer Zeitbasis jeweils n um n aufgeteilt, die dem DAC-IC 30 einzugeben sind. Der DAC-IC 30 wandelt n Eingabe-Pixeldaten in analoge Pixelsignale um. Ferner teilt der DAC-IC 30 die n Pixelsignale, die in analoge Signale umgewandelt worden sind, wiederum jeweils k um k auf (wobei gilt: $k < n$), um sie an den ersten und den zweiten Ausgabe-Puffer-IC 50 selektiv anzulegen. Da der DAC-IC 30 die $2n$ Pixeldaten jeweils n um n aufteilen soll, um eine Digital-Analog-Umwandlungsfunktion bereitzustellen, weisen die erforderlichen Treiber-Signale Frequenzen auf, die doppelt so hoch sind wie die der herkömmlichen Treiber-Signale.

[0042] Zu diesem Zweck weist der DAC-IC 30 eine Schieberegister-Einheit 26 zum Anlegen eines sequenziellen Abtastsignals auf. Eine Signalspeicher-Einheit 38 speichert sequenziell Pixeldaten VD als Antwort auf das Abtastsignal und gibt die Pixeldaten VD zeitgleich aus. Ein Digital-Analog-Wandler (DAC) 40 wandelt die Pixeldaten VD von der Signalspeicher-Einheit 38 in ein Pixelsignal um. Ein erster Demultiplexer 48 legt sequenziell das Pixelsignal von dem DAC 40 an zwei Ausgabe-Puffer-ICs 50 an. Ferner weist der DAC-IC 30 eine Signal-Steuerung 32 zum Übergeben verschiedener Steuersignale von einer Timing-Steuerung (nicht gezeigt) und der Pixeldaten VD auf. Eine Gamma-Spannungseinheit 34 führt positive und negative Gamma-Spannungen zu, die in dem DAC 40 benötigt werden.

[0043] Die Signal-Steuerung 32 steuert verschiedene Steuersignale, wie beispielsweise SSP, SSC, SOE, REV und POL, von einer Timing-Steuerung und die Pixeldaten VD,

um sie an die entsprechenden Elemente auszugeben. In diesem Fall ermöglicht die Timing-Steuerung, dass die verschiedenen Steuersignale SSP, SSC, SOE, REV und POL, usw. und die Pixeldaten VD eine Frequenz aufweisen, die doppelt so hoch ist wie die der Anordnungen gemäß dem Stand der Technik. Insbesondere führt die Timing-Steuerung eine Zeit-Aufteilung von $2n$ Pixeldaten VD entsprechend den $2n$ Datenleitungen DL11 bis DL1n und DL21 bis DL2n in zwei Bereiche durch, um sie jeweils sequenziell n um n zuzuführen.

[0044] Die Gamma-Spannungseinheit 34 unterteilt eine Mehrzahl von Gamma-Referenzspannungen von einem Gamma-Referenzspannungs-Generator (nicht gezeigt) für jede Graustufe und gibt die unterteilten Gamma-Referenzspannungen aus.

[0045] Schieberegister, die in der Schieberegister-Einheit 36 enthalten sind, verschieben sequenziell einen Source-Startimpuls SSP von der Signal-Steuerung 32 als Antwort auf ein Source-Abtast-Taktsignal SSC, um den Source-Startimpuls SSP als ein Abtastsignal auszugeben. In diesem Fall antwortet die Schieberegister-Einheit 36 auf den Source-Startimpuls SSP und das Source-Abtast-Taktsignal SSC, wobei jedes von ihnen eine Frequenz aufweist, die doppelt so hoch ist, um ein Abtastsignal mit, verglichen mit Anordnungen gemäß dem Stand der Technik, doppelter Geschwindigkeit auszugeben.

[0046] Eine Mehrzahl von n Signalspeichern, die in der Signalspeichereinheit 38 enthalten sind, tasten sequenziell die Pixeldaten VD von der Signal-Steuerung 32 als Antwort auf das Abtastsignal von der Schieberegister-Einheit 36 ab, um sie zu speichern. In diesem Fall tasten die Signalspeicher die Pixeldaten VD an der ansteigenden oder abfallenden Flanke des Source-Abtast-Taktsignals SSC von der Signal-Steuerung 32 ab. Anschließend antworten n Signalspeicher auf ein Source-Ausgabe-Aktivierungssignal SOE von der Signal-Steuerung 32, um die gespeicherten Pixeldaten VD zeitgleich auszugeben. In diesem Fall stellen die Signalspeicher die Pixeldaten VD, die in solch einer Weise moduliert worden sind, dass sie eine reduzierte Übergangs-Bitanzahl aufweisen, als Antwort auf ein Daten-Invertierungs-Auswahlsignal REV wieder her und geben dann die Pixeldaten VD aus. Dies begründet darauf, dass ein Pixelwert VD, der eine Übergangs-Bitanzahl aufweist, die einen Referenzwert übersteigt, derart zugeführt wird, dass er derart moduliert ist, dass er eine reduzierte Übergangs-Bitanzahl aufweist, um eine elektromagnetische Interferenz elektromagnetische Interferenz (EMI) von der Timing-Steuerung auf die Datenübertragung zu minimieren.

[0047] Hierin weisen das Source-Abtast-Taktsignal SSC und das Source-Ausgabe-Aktivierungssignal SOE, die der Schieberegister-Einheit 36 und der Signalspeichereinheit 38 zugeführt worden sind, die doppelte Frequenz von "SSC" und "SOE" auf, die der herkömmlichen Schieberegister-Einheit 14 und Signalspeichereinheit 16, wie in Fig. 2 gezeigt, angelegt worden sind, wie mittels "NSSC" und "NSOE" in den Fig. 4A bzw. 4B dargestellt.

[0048] Der DAC 40 wandelt n Pixeldaten von der Signalspeichereinheit 38 in Positiv- und Negativ-Pixelsignale zeitgleich um und teilt die Pixelsignale als Antwort auf ein Polaritäts-Steuersignal POL und ein erstes Auswahl-Steuersignal SEL1 jeweils sequenziell k um k auf und gibt die Signale aus. Zu diesem Zweck weist der DAC 40 auf eine Positiv (P)-Dekodiereinheit 42 und eine Negativ (N)-Dekodiereinheit 44, wobei jede von ihnen gemeinsam mit der Signalspeichereinheit 38 gekoppelt ist, und einen Multiplexer (MUX) 46 zum Auswählen von Ausgabesignalen der P- und N-Dekodiereinheiten 42 und 44.

[0049] Eine Mehrzahl von n P-Dekodern, die in der P-De-

kodiereinheit 42 enthalten sind, wandelt n Pixeldaten, die gleichzeitig von der Signalspeichereinheit 38 eingegeben worden sind, in Positiv-Pixelsignale um mit Hilfe der positiven Gamma-Spannungen von der Gamma-Spannungseinheit 34. Eine Mehrzahl von n N-Dekodern, die in der N-Dekodiereinheit 44 enthalten sind, wandelt n Pixeldaten, die gleichzeitig von der Signalspeichereinheit 38 eingegeben worden sind, in Negativ-Pixelsignale um mit Hilfe der negativen Gamma-Spannungen von der Gamma-Spannungseinheit 34. Der Multiplexer 46 antwortet auf ein Polaritäts-Steuersignal POL von der Signal-Steuerung 32, um die Positiv-Pixelsignale von der P-Dekodiereinheit 42 oder die Negativ-Pixelsignale von der N-Dekodiereinheit 44 selektiv auszugeben, und antwortet auf das erste Auswahl-Steuersignal SEL1, um die n Pixelsignale jeweils k um k aufzuteilen und die Signale auszugeben. In diesem Fall wird die Bitanzahl des ersten Auswahl-Steuersignals SEL1 abhängig von der geteilten Frequenz j der n Pixelsignale definiert. Beispielsweise, wenn die n Pixelsignale ausgegeben werden, während sie jeweils 8 um 8 ($j = 8$) aufgeteilt sind, kann das erste Auswahl-Steuersignal SEL1 mittels 3 Bits aufgebaut werden. Wie oben erwähnt, wandelt der DAC 40, um die $2n$ Pixeldaten zu verarbeiten, jedes der n Pixeldaten in Pixelsignale mit einer Geschwindigkeit um, die doppelt so hoch ist wie die des herkömmlichen DAC 18, und teilt die n Pixelsignale jeweils k um k auf (wobei gilt: $k < n$) und gibt die Signale aus.

[0050] Der erste Demultiplexer 48 gibt jedes der k Pixelsignale von dem Multiplexer 46 an den ersten Ausgabe-Puffer-IC 50 oder an den zweiten Ausgabe-Puffer-IC 50 als Antwort auf ein zweites Auswahl-Steuersignal SEL2 aus, das von der Signal-Steuerung 32 eingegeben worden ist. In diesem Fall weist das zweite Auswahl-Steuersignal SEL2, da es ebenfalls abhängig von der geteilten Frequenz j der n Pixelsignale definiert wird, die gleiche Bitanzahl auf wie das erste Auswahl-Steuersignal SEL1.

[0051] Sowohl der erste als auch der zweite Ausgabe-Puffer-IC 50 tasten ab und halten die Pixelsignale, die jeweils k um k von dem DAC IC 30 eingegeben worden sind, um sie zeitgleich an die n Datenleitungen DL11 bis DL1k, ..., DLj1 bis DLjk auszugeben. Zu diesem Zweck besteht sowohl der erste als auch der zweite Ausgabe-Puffer-IC 50 aus einem zweiten Demultiplexer 52 und Ausgabe-Puffer-Einheiten 1 bis j 54.

[0052] Der zweite Demultiplexer 52 legt sequenziell die Pixelsignale, die von dem ersten Demultiplexer 48 jeweils k um k eingegeben worden sind, an die Ausgabe-Puffer-Einheiten 1 bis j 54 als Antwort auf ein drittes Auswahl-Steuersignal SEL3 von einem Timing-Schaltkreis (nicht gezeigt) an. In diesem Fall weist das dritte Auswahl-Steuersignal SEL3 ebenfalls die Bitanzahl entsprechend der geteilten Frequenz j der n Pixelsignale auf wie das erste und das zweite Auswahl-Steuersignal SEL1 und SEL2.

[0053] Die Ausgabe-Puffer-Einheiten 1 bis j 54 empfangen sequenziell jedes der k Pixelsignale von dem zweiten Demultiplexer 52 und halten das Signal. Dann legen die Ausgabe-Puffer-Einheiten 1 bis j 54 jedes der gehaltenen k Pixelsignale an die entsprechenden Datenleitungen DL11 bis DL1k, ..., DLj1 bis DLjk als Antwort auf ein Schalt-Steuersignal SWS von der Timing-Steuerung an. Jede der Ausgabe-Puffer-Einheiten 1 bis j 54 besteht aus k Ausgabe-Puffern, die mit den entsprechenden Datenleitungen DL11 bis DL1k, ..., DLj1 bis DLjk in 1 : 1-Beziehung gekoppelt sind. Wie in Fig. 5 gezeigt, weist jeder der k Ausgabe-Puffer einen Kondensator C zum Laden und Halten eines Eingepixelsignals INPUT, eine Schaltungsvorrichtung 56 zum Ermöglichen, dass das in dem Kondensator C gehaltene Pixelsignal als Antwort auf ein Schaltsteuersignal SWS von der Timing-

Steuerung ausgegeben wird, und einen Spannungsfolger 58 auf, der mit der Schaltungsvorrichtung 56 gekoppelt ist, um das Pixelsignal zu puffern, um es dadurch als ein Ausgabe-Pixelsignal OUTPUT auszugeben.

[0054] Wie in Fig. 6 gezeigt, sind die DAC-ICs 30 auf einer Daten-PCB 68 befestigt, während die Ausgabe-Puffer-ICs 50 in einer TCP 66 separat befestigt sind. Die Daten-PCB 68 sendet verschiedene Steuersignale von einer Timing-Steuerung (nicht gezeigt) und Datensignale an die DAC-ICs 30 aus und sendet Pixelsignale von den DAC-ICs 30 an die Ausgabe-Puffer-ICs 50 mittels des TCP 66. Das TCP 66 ist mit Daten-Pads, die an dem oberen Abschnitt eines Flüssigkristall-Anzeigepanels 62 vorgesehen sind, und mit Ausgabe-Pads elektrisch gekoppelt, die auf der PCB 68 vorgesehen sind.

[0055] Wie oben beschrieben, sind die einfach strukturierten Ausgabe-Puffer-ICs 50, die lediglich eine Pufferfunktion aufweisen, in dem TCP 66 befestigt, so dass lediglich die Ausgabe-Puffer-ICs 50 beschädigt werden, wenn das TCP 66 beschädigt wird. Als ein Ergebnis kann der große Verlust in Form von Kosten, die von der Unmöglichkeit, die durch das beschädigte TCP 66 im Stand der Technik verursacht worden ist, resultiert, die teuren Daten-Treiber-ICs zu nutzen, drastisch reduziert werden. Ferner wird der DAC-IC 30 auf einer Zeit-Aufteilungs-Basis getrieben, um sequenziell die Pixelsignale an zumindest zwei Ausgabe-Puffer-ICs 50 anzulegen. Demgemäß wird die Anzahl der DAC-ICs 30 auf zumindest $\frac{1}{2}$ im Vergleich zu Anordnungen gemäß dem Stand der Technik reduziert, so dass es möglich wird, die Herstellungskosten zu reduzieren.

[0056] Da der DAC 40 des DAC-IC 30 die n Pixelsignale insbesondere in j Signale zeitlich aufteilt, die jeweils k um k angelegt werden sollen, kann die Anzahl der Eingangs-Pins jedes Ausgabe-Puffer-IC 50 auf $k < n$ reduziert werden kann, was die Anzahl der Ausgangs-Pins darstellt, die mit den n Datenleitungen DL11 bis DL1k, ..., DLj1 bis DLjk gekoppelt sind. Daher wird die Anzahl der Eingangs-Pins des TCP 66, das mit den Ausgabe-Puffer-ICs 50 befestigt ist, ebenfalls reduziert, so dass es einfach wird, einen Pitch eines Ausgabe-Pads der Daten-PCB 68 sicherzustellen, die mit den Eingangs-Pins des TCP 66 gekoppelt ist. Mit anderen Worten, da die vorliegende Datentreiber-Einrichtung die Pixelsignale von dem DAC-IC 30 mittels der Daten-PCB 68 und des TCP 66 an die Ausgabe-Puffer-ICs 50 sendet, erfordert die Daten-PCB 68 eine relativ große Anzahl an Signalübertragungsleitungen und Ausgabe-Pads, verglichen mit der herkömmlichen Daten-PCB, die digitale Pixeldaten überträgt. Als ein Ergebnis treibt die vorliegende Datentreiber-Einrichtung die Pixelsignale auf einer Zeit-Aufteilungs-Basis, um das Ausgabe-Pad zu reduzieren, obwohl es schwierig war, einen Pitch eines Ausgabe-Pads auf der Daten-PCB 68 in der Anordnung gemäß dem Stand der Technik sicherzustellen, wodurch ein einfaches Sicherstellen des Ausgabe-Pad-Pitches erreicht wird.

[0057] Fig. 7 ist ein Blockdiagramm, das eine Struktur einer Datentreiber-Einrichtung für eine Flüssigkristall-Anzeige gemäß einem anderen Ausführungsbeispiel der Erfindung zeigt.

[0058] Die in Fig. 7 gezeigte Datentreiber-Einrichtung weist die gleichen Elemente auf wie die in Fig. 3 gezeigte, abgesehen davon, dass sie ferner einen zweiten und einen dritten Multiplexer 90 zum Bereitstellen einer Aufteilungsfunktion der n Pixelsignale des Multiplexers 46 in Fig. 3 aufweist. Hier sind zumindest zwei Ausgabe-Puffer-ICs 92 gemeinsam mit einem einzigen DAC-IC 70 gekoppelt.

[0059] Bezugnehmend auf Fig. 7 werden $2n$ Pixeldaten, die den $2n$ Datenleitungen DL11 bis DL1n und DL21 bis DL2n zuzuführen sind, auf einer Zeitbasis jeweils n um n

geteilt, um dem DAC-IC 70 eingegeben zu werden. Der DAC-IC 70 wandelt n Eingabe-Pixel-daten in analoge Pixel-sig-nale um. Ferner teilt der DAC-IC 70 erneut die n Pixelsig-nale, die in analoge Signale umgewandelt worden sind, je-weils k um k (wobei gilt: $k < n$), um sie selektiv dem ersten und dem zweiten Ausgabe-Puffer-IC 92 anzulegen. Da der DAC-IC 70 die $2n$ Pixeldaten jeweils n um n teilen soll, um eine Digital-Analog-Umwandlungsfunktion bereitzustellen, erfordert ein solches Vorgehen das Treiben von Signalen, die eine Frequenz aufweisen, die doppelt so hoch ist wie die der herkömmlichen Treiber-Signale.

[0060] Zu diesem Zweck weist der DAC-IC 70 eine Schieberegister-Einheit 76 zum Anlegen eines sequenziellen Abtastsignals auf. Eine Signalspeichereinheit 78 speichert sequenziell Pixeldaten VD als Antwort auf das Abtast-signal und gibt die Pixeldaten VD zeitgleich aus. Ein Digital-Analog-Wandler (DAC) 80 wandelt die Pixeldaten VD von der Signalspeichereinheit 78 in ein Pixelsignal um. Ein erster Demultiplexer (DEMUX) 88 legt sequenziell das Pixelsignal von dem DAC an den zweiten und den dritten Multiplexer 90 an. Der zweite und der dritte Multiplexer 90 teilen die Pixelsignale von dem ersten Demultiplexer 88 auf einer Zeitbasis auf, um die Signale an die ersten und die zweiten Ausgabe-Puffer-ICs 92 anzulegen. Ferner weist der DAC-IC 70 eine Signal-Steuerung 72 zum Übergeben verschiedener Steuersignale von einer Timing-Steuerung (nicht gezeigt) und der Pixeldaten VD auf. Eine Gamma-Spannungseinheit 74 führt positive und negative Gamma-Spannungen zu, die in dem DAC 40 erforderlich sind.

[0061] Die Signal-Steuerung 72 steuert verschiedene Steuersignale, wie beispielsweise SSP, SSC, SOE, REV und POL, von der Timing-Steuerung, und die Pixeldaten VD, um sie an die entsprechenden Elemente auszugeben. In diesem Fall ermöglicht die Timing-Steuerung, dass die verschiedenen Steuersignale und die Pixeldaten VD eine Frequenz aufweisen, die doppelt so hoch ist wie die der Anordnungen gemäß dem Stand der Technik. Insbesondere führt die Timing-Steuerung eine Zeit-Aufteilung von $2n$ Pixeldaten VD entsprechend den $2n$ Datenleitungen DL11 bis DL1n und DL21 bis DL2n in zwei Bereiche durch, um sie jeweils n um n sequenziell zuzuführen.

[0062] Die Gamma-Spannungseinheit 74 unterteilt eine Mehrzahl von Gamma-Referenzspannungen von einem Gamma-Referenzspannungs-Generator (nicht gezeigt) für jede Graustufe und gibt sie aus.

[0063] Schieberegister, die in der Schieberegister-Einheit 76 enthalten sind, verschieben sequenziell einen Source-Startimpuls SSP von der Signal-Steuerung 72 als Antwort auf ein Source-Abtast-Taktsignal SSC, um den Source-Startimpuls SSP als ein Abtastsignal auszugeben. In diesem Fall antwortet die Schieberegister-Einheit 76 auf den Source-Startimpuls SSP und das Source-Abtast-Taktsignal SSC, die jeweils eine Frequenz aufweisen, die doppelt so hoch ist, um ein Abtastsignal, verglichen mit Anordnungen gemäß dem Stand der Technik, mit doppelter Geschwindigkeit auszugeben.

[0064] Eine Mehrzahl von n Signalspeichern, die in der Signalspeichereinheit 78 enthalten sind, tasten sequenziell die Pixeldaten VD von der Signal-Steuerung 72 als Antwort auf das Abtastsignal von der Schieberegister-Einheit 76 ab, um sie zu speichern. Anschließend antworten die n Signal-speicher auf ein Source-Ausgabe-Aktivierungssignal SOE von der Signal-Steuerung 72, um die gespeicherten Pixeldaten VD zeitgleich auszugeben. In diesem Fall stellen die Signal-speicher die Pixeldaten VD, die in solch einer Weise moduliert worden sind, dass sie eine reduzierte Übergangs-Bitanzahl aufweisen, als Antwort auf ein Daten-Invertierungs-Auswahlsignal REV wieder her und geben dann die

Pixeldaten VD aus. Dies begründet darauf, dass ein Pixelwert VD, der eine Übergangs-Bitanzahl aufweist, die einen Referenzwert übersteigt, derart zugeführt wird, dass er derart moduliert ist, dass er eine reduzierte Übergangs-Bitanzahl aufweist, um eine elektromagnetische Interferenz (EMI) von der Timing-Steuerung auf die Datenübertragung zu minimieren.

[0065] Hier werden das Source-Abtast-Taktsignal SSC und das Source-Ausgabe-Aktivierungssignal SOE der Schieberegister-Einheit 76 an die Signalspeichereinheit 78 angelegt, die die doppelte Frequenz von "SSC" und "SOE" aufweisen, die an die herkömmliche Schieberegister-Einheit 14 und Signalspeichereinheit 16, wie in Fig. 2 gezeigt, angelegt werden, wie mittels "NSSC" und "NSOE" in Fig. 4A bzw. 4B dargestellt.

[0066] Der DAC 80 wandelt n Pixeldaten von der Signalspeichereinheit 78 in Positiv- und Negativ-Pixelsignale zeitgleich um und gibt die Signale aus. Zu diesem Zweck weist der DAC 80 auf eine Positiv (P)-Dekodiereinheit 82 und eine Negativ (N)-Dekodiereinheit 84, wobei jede von ihnen gemeinsam mit der Signalspeichereinheit 78 gekoppelt ist, und einen ersten Multiplexer (MUX) 86 zum Auswählen von Ausgabesignalen der P- und N-Dekodiereinheiten 82 und 84.

[0067] Eine Mehrzahl von n P-Dekodern, die in der P-Dekodiereinheit 82 enthalten sind, wandelt n Pixeldaten, die von der Signalspeichereinheit gleichzeitig eingegeben worden sind, in Positiv-Pixelsignale um mit Hilfe der positiven Gamma-Spannungen von der Gamma-Spannungseinheit 74. Eine Mehrzahl von n N-Dekodern, die in der N-Dekodiereinheit 84 enthalten sind, wandelt n Pixeldaten, die von der Signalspeichereinheit 78 gleichzeitig eingegeben worden sind, in Negativ-Pixelsignale um mit Hilfe der negativen Gamma-Spannungen von der Gamma-Spannungseinheit 74. Der erste Multiplexer 86 antwortet auf das Polaritäts-Steuersignal POL von der Signal-Steuerung 72, um die Positiv-Pixelsignale von der P-Dekodiereinheit 82 oder die Negativ-Pixelsignale von der N-Dekodiereinheit 84 auszuwählen, um sie dadurch jeweils n um n auszugeben. Wie oben erwähnt, wandelt der DAC 80 jedes der n Pixeldaten in Pixelsignale mit einer Geschwindigkeit um, die doppelt so hoch ist wie die des herkömmlichen DAC 18, um die $2n$ Pixeldaten zu verarbeiten.

[0068] Der erste Demultiplexer 88 gibt selektiv n Pixelsignale von dem ersten Multiplexer 86 an den zweiten und den dritten Multiplexer 90 als Antwort auf das erste Auswahl-Steuersignal SEL1 aus, das von der in Fig. 8 gezeigten Signal-Steuerung 72 eingegeben worden ist. Das erste Auswahl-Steuersignal SEL1 invertiert einen logischen Wert in jeder Periode eines Source-Ausgabe-Aktivierungssignals SOE, das an die Signalspeichereinheit 78 angelegt worden ist, wodurch ermöglicht wird, jedes der n Pixelsignale selektiv an den zweiten Multiplexer 90 anzulegen.

[0069] Sowohl der zweite als auch der dritte Multiplexer 90 teilen die Pixelsignale, die von dem ersten Demultiplexer 88 jeweils n um n angelegt worden sind, jeweils k um k als Antwort auf ein zweites Auswahl-Steuersignal SEL2 von der Signal-Steuerung 72 auf, um die Pixelsignale auszugeben. In diesem Fall wird die Bitanzahl des zweiten Auswahl-Steuersignals SEL2 basierend auf der geteilten Frequenz j der n Pixelsignale definiert. Beispielsweise kann, wenn die n Pixelsignale ausgegeben werden, während sie durch 8 ($j = 8$) geteilt werden, dann das zweite Auswahl-Steuersignal SEL2 mittels 3 Bits aufgebaut werden.

[0070] Sowohl der erste als auch der zweite Ausgabe-Puffer-IC 92 tasten ab und halten die Pixelsignale, die jeweils k um k von den DAC-ICs 70 eingegeben worden sind, um die Pixelsignale an die Datenleitungen DL11 bis DL1k, ...,

DLj1 bis DLjk zeitgleich auszugeben. Zu diesem Zweck besteht sowohl der erste als auch der zweite Ausgabe-Puffer-IC 92 aus einem zweiten Demultiplexer 94 und Ausgabe-Puffer-Einheiten 96 1 bis j.

[0071] Der zweite Demultiplexer 94 legt die Pixelsignale, die jeweils k um k von dem zweiten und dem dritten Multiplexer 90 eingegeben worden sind, sequenziell an die Ausgabe-Puffer-Einheiten 96 1 bis j als Antwort auf ein drittes Auswahl-Steuersignal SEL3 von einer Timing-Steuerung (nicht gezeigt) an. In diesem Fall weist das dritte Auswahl-Steuersignal SEL3 ebenfalls die Bitanzahl entsprechend der geteilten Frequenz j der n Pixelsignale auf, wie das erste und das zweite Auswahl-Steuersignal SEL1 und SEL2.

[0072] Die Ausgabe-Puffer-Einheiten 96 1 bis j empfangen sequenziell jedes der k Pixelsignale von dem zweiten Demultiplexer 94 und halten die Pixelsignale. Dann legen die Ausgabe-Puffer-Einheiten 96 1 bis j jedes der gehaltenen k-Pixelsignale zeitgleich an die entsprechenden Datenleitungen DL11 bis DL1k, ..., DLj1 bis DLjk als Antwort auf ein Schalt-Steuersignal SWS von der Timing-Steuerung an. Jede der Ausgabe-Puffer-Einheiten 96 1 bis j besteht aus k Ausgabe-Puffern, die mit den entsprechenden Datenleitungen DL11 bis DL1k, ..., DLj1 bis DLjk in 1:1-Beziehung gekoppelt sind. Wie in Fig. 5 gezeigt, weist jeder der k-Ausgabe-Puffer einen Kondensator C zum Laden und Halten eines Eingabe-Pixelsignals INPUT auf. Eine Schaltungsvorrichtung 56 ermöglicht, dass das Pixelsignal in dem Kondensator C gehalten wird, um als Antwort auf ein Schalt-Steuersignal SWS von der Timing-Steuerung ausgegeben zu werden. Ein Spannungsfolger 58 ist mit der Schaltungsvorrichtung 56 gekoppelt, um das Pixelsignal zu puffern, um es dadurch als ein Ausgabe-Pixelsignal OUTPUT auszugeben.

[0073] Wie in Fig. 6 gezeigt, sind die DAC-ICs 70 auf einer Daten-PCB 68 befestigt, während die Ausgabe-Puffer-ICs 92 separat in einem TCP 66 befestigt sind. Die Daten-PCB 68 sendet verschiedene Steuersignale von einer Timing-Steuerung (nicht gezeigt) und Datensignale an die DAC-ICs 70 und sendet Pixelsignale von den DAC-ICs 70 an die Ausgabe-Puffer-ICs 92 mittels des TCP 66. Das TCP 66 ist mit den Daten-Pads, die an dem oberen Abschnitt eines Flüssigkristall-Anzeigepanels 62 vorgesehen sind, und mit den Ausgabe-Pads elektrisch gekoppelt, die auf der PCB 68 vorgesehen sind.

[0074] Wie oben beschrieben, sind die einfach strukturierten Ausgabe-Puffer-ICs 92, die lediglich eine Pufferungsfunktion aufweisen, in dem TCP 66 befestigt, so dass lediglich die Ausgabe-Puffer-ICs 92 beschädigt werden, wenn das TCP 66 beschädigt wird. Als ein Ergebnis kann der große Verlust in Form von Kosten, der aus der Unmöglichkeit resultiert, die teuren Daten-Treiber-ICs zu nutzen, was durch ein beschädigtes TCP 66 gemäß dem Stand der Technik verursacht worden ist, drastisch reduziert werden. Ferner werden die DAC-ICs 70 auf einer Zeit-Aufteilungs-Basis getrieben, um die Pixelsignale sequenziell an zumindest zwei Ausgabe-Puffer-ICs 50 anzulegen. Demgemäß wird die Anzahl der DAC-ICs 70 auf zumindest $\frac{1}{2}$ im Vergleich zu Anordnungen gemäß dem Stand der Technik reduziert, so dass es möglich wird, die Herstellungskosten zu verringern.

[0075] Insbesondere teilen die DAC-ICs 70 n Pixelsignale in j Signale zeitlich auf, um jeweils k um k angelegt zu werden, wobei die Anzahl der Eingangs-Pins jedes Ausgabe-Puffer-IC 92 auf $k < n$ reduziert werden kann, was die Anzahl der Ausgangs-Pins ist, die mit den n Datenleitungen DL11 bis DL1k, ..., DLj1 bis DLjk gekoppelt sind. Daher wird die Anzahl der Eingangs-Pins des TCP 66, das mit dem Ausgabe-Puffer-ICs 92 befestigt ist, ebenfalls reduziert, so dass es einfach ist, einen Pitch eines Ausgabe-Pads der Daten-PCB 68 sicherzustellen, der mit den Eingangs-Pins des

TCP 66 gekoppelt ist. Mit anderen Worten, da die vorliegende Datentreiber-Einrichtung die Pixelsignale von den DAC-ICs 70 mittels der Daten-PCB 68 und des TCP 66 an die Ausgabe-Puffer-ICs 92 sendet, erfordert die Daten-PCB 68 eine relativ große Anzahl an Signalübertragungsleitungen und Ausgabe-Pads, verglichen mit der herkömmlichen Daten-PCB, die digitale Pixeldaten überträgt. Als ein Ergebnis kann die vorliegende Datentreiber-Einrichtung die Pixelsignale auf einer Zeit-Aufteilungs-Basis treiben, um das Ausgabe-Pad zu reduzieren, obwohl es schwierig war, einen Pitch eines Ausgabe-Pads auf der Daten-PCB 68 in Anordnungen gemäß dem Stand der Technik sicherzustellen, wodurch ein einfaches Sicherstellen des Ausgabe-Pad-Pitches erreicht wird.

[0076] Wie oben beschrieben, sind gemäß der Erfindung die DAC-Einheit und die Ausgabe-Puffer-Einheit in separate Chips integriert, um dadurch lediglich die einfach strukturierten Ausgabe-Puffer-ICs in dem TCP zu befestigen, das eine hohe Wahrscheinlichkeit des Brechens oder Kurzschließens aufweist. Demgemäß ist es möglich, den Verlust in Form von Kosten drastisch zu reduzieren, der aus der Unmöglichkeit resultiert, die teuren Datentreiber-ICs infolge eines beschädigten TCP in den Anordnungen gemäß dem Stand der Technik zu nutzen.

[0077] Ferner werden gemäß der Erfindung die DAC-ICs auf einer Zeit-Aufteilungs-Basis mit Hilfe von Treiber-Signalen getrieben, die eine höhere Frequenz aufweisen, um dadurch gemeinsam einen einzigen DAC-TC mit zumindest zwei Ausgabe-Puffer-ICs zu koppeln, so dass es möglich wird, die Anzahl der DAC-ICs und daher die Herstellungskosten zu reduzieren.

[0078] Ferner teilen die DAC-ICs gemäß der Erfindung die Pixelsignale zeitlich auf, die in analoge Signale umgewandelt worden sind, um die Pixelsignale anzulegen, um dadurch die Anzahl der Eingangs-Pins jedes Ausgabe-Puffer-IC zu reduzieren. Demgemäß wird die Anzahl der Eingangs-Pins des TCP, das mit dem Ausgabe-Puffer-ICs befestigt ist, reduziert, so dass es möglich wird, einen Pitch des Ausgabe-Pads der Daten-PCB einfach sicherzustellen, der mit den Eingangs-Pins des TCP gekoppelt ist.

Patentansprüche

1. Datentreiber-Einrichtung für eine Flüssigkristall-Anzeige, aufweisend:

eine Digital-Analog-Wandler-Einheit zum Umwandeln von Eingabe-Pixeldaten (VD) in eine Mehrzahl von Pixelsignalen und zum Zeit-Aufteilen der umgewandelten Pixelsignale, um die zeitlich aufgeteilten Pixelsignale auszugeben, wobei die Anzahl der umgewandelten Pixelsignale größer ist als die der zeitlich aufgeteilten Pixelsignale;

zumindest zwei Ausgabe-Puffer-Einheiten (54, 96) zum sequenziellen Empfangen der Pixelsignale von der Digital-Analog-Wandler-Einheit, zum Halten der zeitlich aufgeteilten Pixelsignale und dann zum Puffern und Ausgeben der zeitlich aufgeteilten Pixelsignale an eine Mehrzahl von Datenleitungen, wobei zumindest zwei von der Mehrzahl von Ausgabe-Puffer-Einheiten (54, 96) gemeinsam mit der Digital-Analog-Wandler-Einheit gekoppelt sind; und

eine Timing-Steuerung zum Steuern der Digital-Analog-Wandler-Einheit und der Ausgabe-Puffer-Einheiten (54, 96) und zum Zeit-Aufteilen der Pixeldaten (VD), die der Digital-Analog-Wandler-Einheit zugeführt worden sind, in zumindest zwei Bereiche, um die zeitlich aufgeteilten Pixeldaten (VD) den Datenleitungen sequenziell zuzuführen.

2. Datentreiber-Einrichtung gemäß Anspruch 1, wobei die Digital-Analog-Wandler-Einheit auf einer Leiterplatte (68) befestigt ist, die mit der Timing-Steuerung gekoppelt ist, und wobei die Ausgabe-Puffer-Einheiten (54, 96) auf einem Tape Carrier Package (66) befestigt sind, das elektrisch zwischen der Leiterplatte (68) und einem Flüssigkristall-Anzeige-Panel (62) gekoppelt ist, auf dem die Datenleitungen angeordnet sind.

3. Datentreiber-Einrichtung gemäß Anspruch 1, wobei die Digital-Analog-Wandler-Einheit aufweist:

- ein Schieberegister zum sequenziellen Ausgeben eines Abtastsignals unter Steuerung der Timing-Steuerung;
- einen Signalspeicher zum Antworten auf die Steuerung der Timing-Steuerung und das Abtastsignal, um sequenziell Pixeldaten (VD) zu speichern, die von der Timing-Steuerung eingegeben worden sind, und um die gespeicherten Pixeldaten (VD) zeitgleich auszugeben;
- einen Digital-Analog-Wandler (40, 80) zum Umwandeln der Pixeldaten (VD) in Positiv- und Negativ-Pixelsignale unter Verwenden von Eingabe-Gamma-Spannungen, um die Pixelsignale als Antwort auf ein Polaritäts-Steuersignal (POL) von der Timing-Steuerung auszugeben, und zum Zeit-Aufteilen der Pixelsignale als Antwort auf ein erstes Auswahl-Steuersignal (SEL1) von der Timing-Steuerung, um die Pixelsignale auszugeben; und
- einen Demultiplexer (48, 88) zum Antworten auf ein zweites Auswahl-Steuersignal (SEL2) von der Timing-Steuerung, um die Pixelsignale von dem Digital-Analog-Wandler (40, 80) sequenziell zumindest an zwei Ausgabe-Puffer-Einheiten (54, 96) auszugeben.

4. Datentreiber-Einrichtung gemäß Anspruch 1, wobei die Digital-Analog-Wandler-Einheit aufweist:

- eine Signal-Steuerung (32, 72) zum Übergeben von Steuersignalen (SSP, SSC, SOE, REV, POL) von der Timing-Steuerung und der Pixeldaten (VD), um die Steuersignale (SSP, SSC, SOE, REV, POL) an das Schieberegister, den Signalspeicher, den Digital-Analog-Wandler (40, 80) und den Demultiplexer (48, 88) anzulegen; und
- einen Gamma-Spannungsgenerator zum Unterteilen einer Eingabe-Gamma-Referenzspannung, um Gamma-Spannungen zu erzeugen.

5. Datentreiber-Einrichtung gemäß Anspruch 3, wobei der Digital-Analog-Wandler (40, 80) aufweist:

- einen Positiv-Dekoder zum Umwandeln der Pixeldaten (VD) in Positiv-Pixelsignale unter Verwenden von Gamma-Spannungen;
- einen Negativ-Dekoder zum Umwandeln der Pixeldaten (VD) in Negativ-Pixelsignale unter Verwenden von Gamma-Spannungen; und
- einen Multiplexer (46, 86), der gemeinsam mit dem Positiv- und Negativ-Dekoder gekoppelt ist, um jedes der Pixelsignale als Antwort auf das Polaritäts-Steuersignal (POL) und das erste Auswahl-Steuersignal (SEL1) sequenziell an den Demultiplexer (48, 88) auszugeben.

6. Datentreiber-Einrichtung gemäß Anspruch 3, wobei das erste und das zweite Auswahl-Steuersignal (SEL2) eine Bitanzahl entsprechend einer Frequenz aufweisen, mit der die Pixelsignale zeitlich aufgeteilt werden.

7. Datentreiber-Einrichtung gemäß Anspruch 1, wobei die Digital-Analog-Wandler-Einheit aufweist:

- ein Schieberegister zum sequenziellen Ausgeben des Abtastsignals unter Steuerung der Timing-Steuerung;
- einen Signalspeicher zum Antworten auf die Steuerung der Timing-Steuerung und das Abtastsignal, um Pixeldaten (VD) sequenziell zu speichern, die von der Ti-

ming-Steuerung eingegeben worden sind, und um die gespeicherten Pixeldaten (VD) zeitgleich auszugeben; einen Digital-Analog-Wandler (40, 80) zum Umwandeln der n Pixeldaten (VD) in Positiv- und Negativ-Pixelsignale unter Verwenden von Eingabe-Gamma-Spannungen, um die Pixelsignale als Antwort auf ein Polaritäts-Steuersignal (POL) von der Timing-Steuerung selektiv auszugeben;

- einen Demultiplexer (48, 88) zum Antworten auf ein erstes Auswahl-Steuersignal (SEL1) von der Timing-Steuerung, um die Pixelsignale selektiv an zumindest zwei Ausgabeanschlüsse auszugeben; und
- zumindest zwei Multiplexer (90), die mit den zumindest zwei Ausgabeanschlüssen gekoppelt sind, zum Antworten auf ein zweites Auswahl-Steuersignal (SEL2) von der Timing-Steuerung, um die Pixelsignale zeitlich aufzuteilen und auszugeben.

8. Datentreiber-Einrichtung gemäß Anspruch 7, wobei die Digital-Analog-Wandler-Einheit aufweist:

- eine Signal-Steuerung (32, 72) zum Übergeben von Steuersignalen (SSP, SSC, SOE, REV, POL) von der Timing-Steuerung und der Pixeldaten (VD), um die Steuersignale (SSP, SSC, SOE, REV, POL) an das Schieberegister, den Signalspeicher, den Digital-Analog-Wandler (40, 80) und den Demultiplexer (48, 88) anzulegen; und
- einen Gamma-Spannungsgenerator zum Unterteilen einer Eingabe-Gamma-Referenzspannung, um Gamma-Spannungen zu erzeugen.

9. Datentreiber-Einrichtung gemäß Anspruch 3, wobei das erste Auswahl-Steuersignal (SEL1) einen logischen Zustand aufweist, der in jeder Periode eines Ausgabe-Aktivierungssignals umgewandelt wird, das eine Ausgabe des Signalspeichers steuert, und wobei das zweite Auswahl-Steuersignal (SEL2) eine Bitanzahl entsprechend einer Frequenz aufweist, mit der die Pixelsignale zeitlich aufgeteilt werden.

10. Datentreiber-Einrichtung gemäß Anspruch 1, wobei jede der Ausgabe-Puffer-Einheiten (54, 96) aufweist:

- eine Mehrzahl von Ausgabe-Puffern, die mit jeder von der Mehrzahl von Datenleitungen gekoppelt sind, um Halte- und Pufferungsfunktionen der Pixelsignale bereitzustellen; und
- einen Demultiplexer (48, 88) zum Antworten auf ein Auswahl-Steuersignal von der Timing-Steuerung, um die Pixelsignale, die von der Digital-Analog-Wandler-Einheit ausgegeben worden sind, sequenziell an die Ausgabe-Puffer anzulegen.

11. Datentreiber-Einrichtung gemäß Anspruch 10, wobei der Ausgabe-Puffer aus einer Mehrzahl von Ausgabe-Puffer-Schaltkreisen besteht, die mit einer Mehrzahl von Datenleitungen gekoppelt sind, und wobei jeder von ihnen aufweist:

- eine Halteeinheit (C) zum Empfangen und Halten der Pixelsignale;
- einen Schalter (56) zum Antworten auf das Steuersignal von der Timing-Steuerung, um die gehaltenen Pixelsignale auszugeben; und
- einen Spannungsfolger (58), der mit der Schaltungsvorrichtung (56) gekoppelt ist, um eine Signal-Pufferungsfunktion bereitzustellen.

12. Datentreiber-Einrichtung gemäß Anspruch 10, wobei das Auswahl-Steuersignal eine Bitanzahl entsprechend einer Frequenz aufweist, mit der die Pixelsignale zeitlich aufgeteilt werden.

13. Datentreiber-Einrichtung gemäß Anspruch 1, wobei die Steuersignale (SSP, SSC, SOE, REV, POL), die

von der Timing-Steuerung an die Digital-Analog-Wandler-Einheit angelegt worden sind, und die Pixel-
daten (VD) eine Frequenz aufweisen, die zumindest
um das Doppelte erhöht ist.

14. Datentreiber-Einrichtung gemäß Anspruch 2, wo- 5
bei ein Tape Carrier Package (66), das mit der Mehr-
zahl von Ausgabe-Puffer-Einheiten (54, 96) befestigt
ist, eine Mehrzahl von Eingangs-Pins und eine Mehr-
zahl von Ausgangs-Pins aufweist.

15. Verfahren zum Treiben einer Datentreiber-Einrich- 10
tung zum Treiben einer Mehrzahl von Datenleitungen,
die auf einem Flüssigkristall-Anzeige-Panel (62) ange-
ordnet sind, wobei die Treiber-Vorrichtung eine Mehr-
zahl von Ausgabe-Puffer-Einheiten (54, 96), die mit je-
der von der Mehrzahl von Datenleitungen gekoppelt 15
ist, und eine Digital-Analog-Wandler-Einheit aufweist,
die gemeinsam mit den Eingangs-Anschlüssen von zu-
mindest zwei von der Mehrzahl von Ausgabe-Puffer-
Einheiten (54, 96) gekoppelt ist, wobei das Verfahren
aufweist: 20

Zeit-Aufteilen von Pixeldaten (VD), die der Digital-
Analog-Wandler-Einheit zugeführt werden sollen, in
zumindest zwei Bereiche, um zeitlich aufgeteilte Pixel-
daten (VD) bereitzustellen;

Ermöglichen der Digital-Analog-Wandler-Einheit, je- 25
den Pixelwert (VD) in analoge Pixelsignale umzuwan-
deln und den umgewandelten Pixelwert (VD) zeitlich
aufzuteilen; und

Ermöglichen den zumindest zwei Ausgabe-Puffer-Ein-
heiten (54, 96), jedes der Pixelsignale sequenziell zu 30
empfangen und zu halten und die Pixelsignale zu puf-
fern und dadurch die Pixelsignale an die Mehrzahl von
Datenleitungen anzulegen.

16. Verfahren gemäß Anspruch 15, wobei das Ermög-
lichen, dass die Digital-Analog-Wandler-Einheit die 35
Pixeldaten (VD) in Pixelsignale umwandelt, aufweist:
Umwandeln der Pixeldaten (VD) in Positiv- und Nega-
tiv-Pixelsignale unter Verwenden von Gamma-Span-
nungen und sequenzielles Anlegen jedes der Pixelsig-
nale als Antwort auf ein Polaritäts-Steuersignal (POL) 40
und ein erstes Auswahl-Steuersignal (SEL1) von au-
ßen; und

Antworten auf ein zweites Auswahl-Steuersignal
(SEL2) von außen, um jedes der Pixelsignale sequen-
ziell an zumindest zwei Ausgabe-Puffer-Einheiten (54, 45
96) anzulegen.

17. Verfahren gemäß Anspruch 15, wobei das Ermög-
lichen, dass die Digital-Analog-Wandler-Einheit die
Pixeldaten (VD) in die Pixelsignale umwandelt, auf- 50
weist:

Umwandeln der Pixeldaten (VD) in Positiv- und Nega-
tiv-Pixelsignale unter Verwenden von Gamma-Span-
nungen und sequenzielles Anlegen der Pixelsignale als
Antwort auf ein Polaritäts-Steuersignal (POL) von au- 55
ßen; und

Zeit-Aufteilen der Pixelsignale als Antwort auf ein
Auswahl-Steuersignal von außen, um die Pixelsignale
zuzuführen.

18. Verfahren gemäß Anspruch 15, wobei eine Abtast-
geschwindigkeit der Pixeldaten (VD) und eine Um- 60
wandlungsgeschwindigkeit der Pixeldaten (VD) in die
Pixelsignale zumindest um das Doppelte erhöht sind.

- Leerseite -

FIG.1

STAND DER TECHNIK

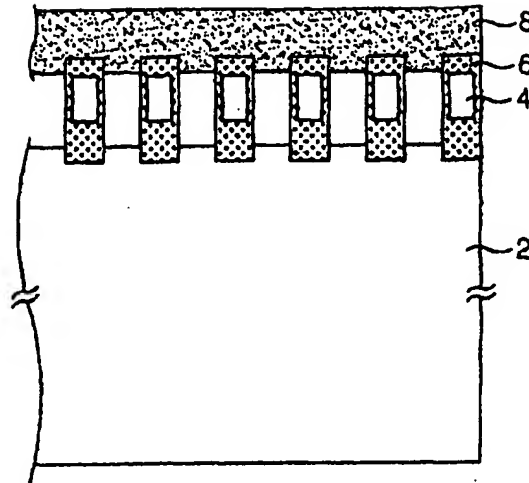


FIG.2

STAND DER TECHNIK

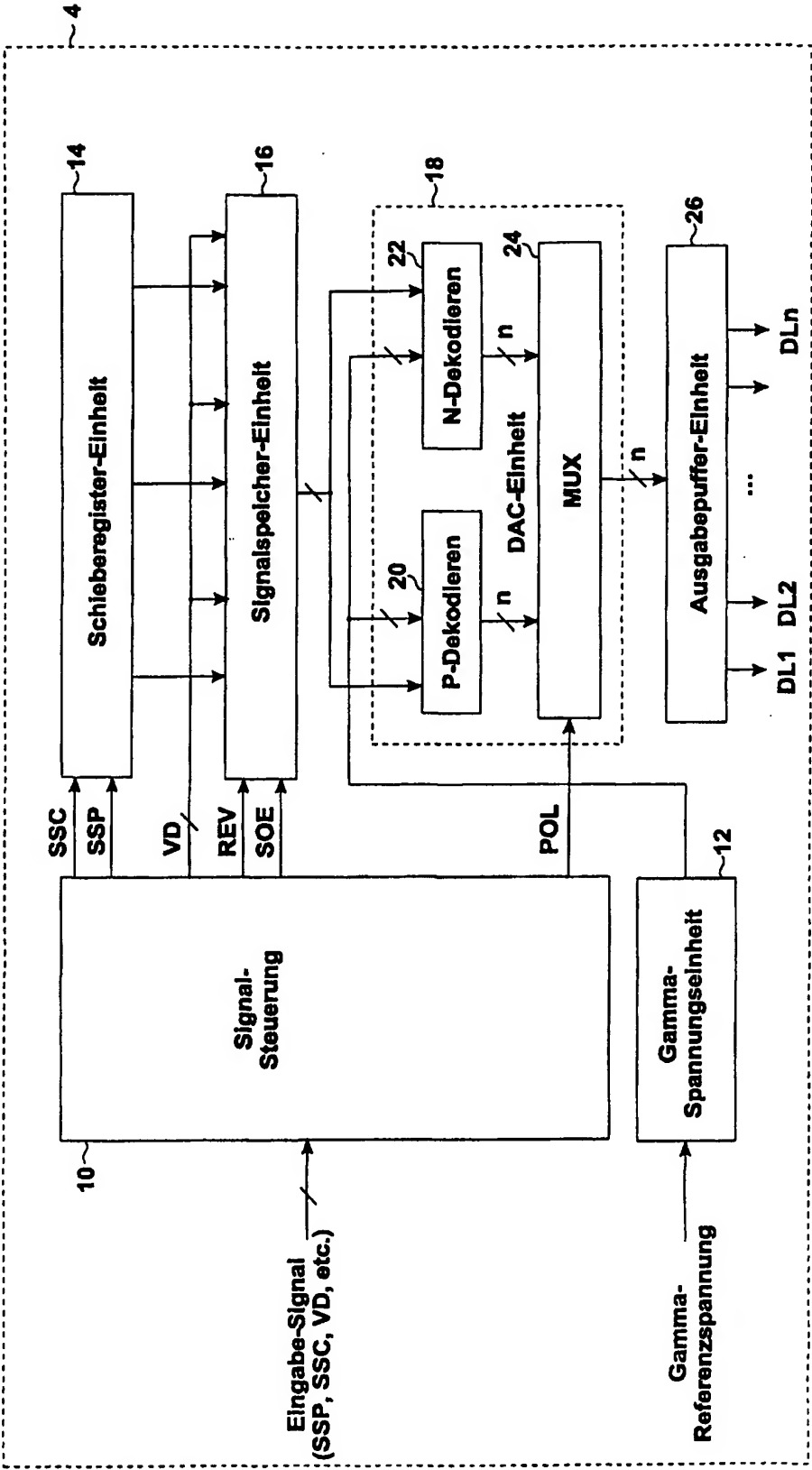


FIG. 3

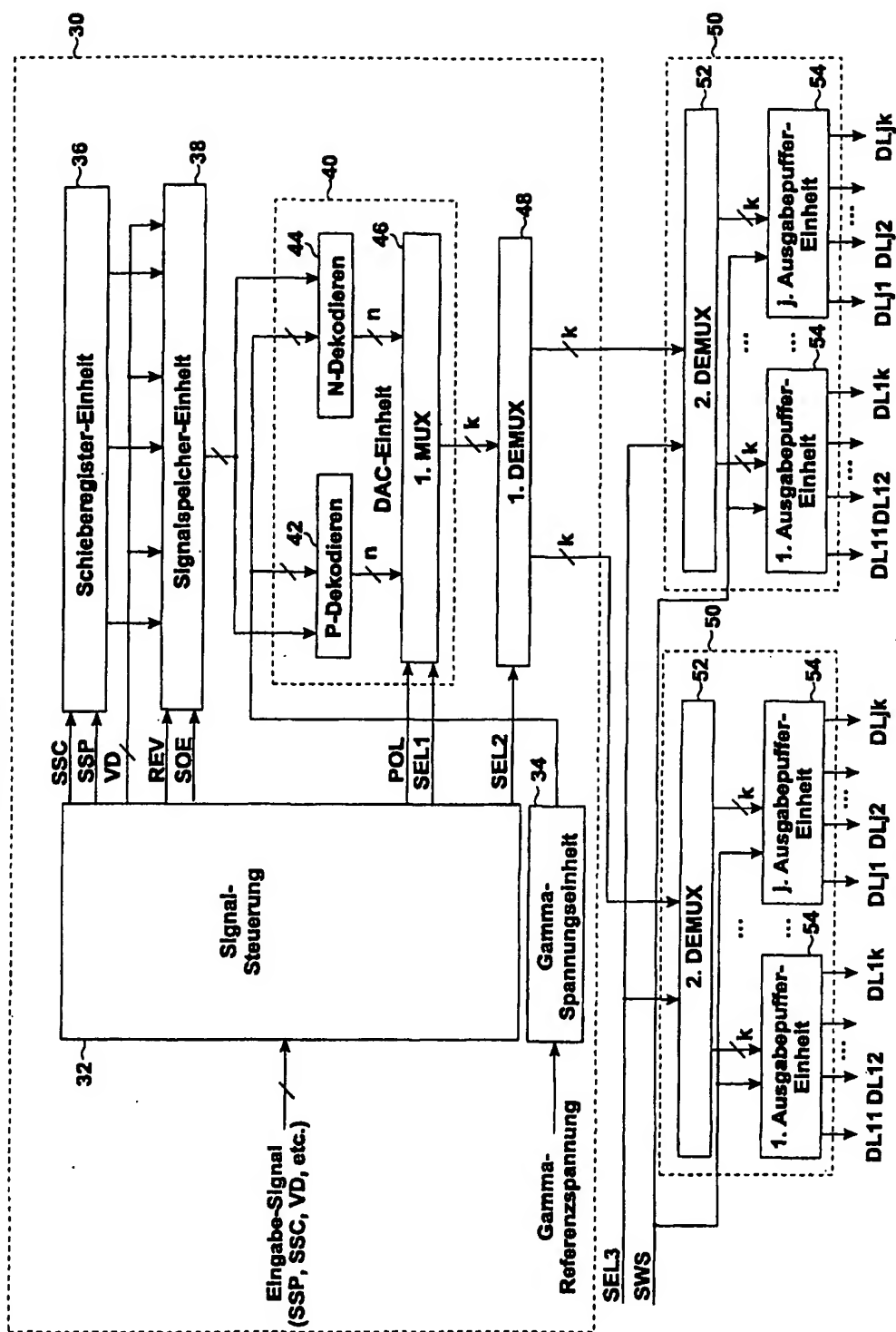


FIG. 4A

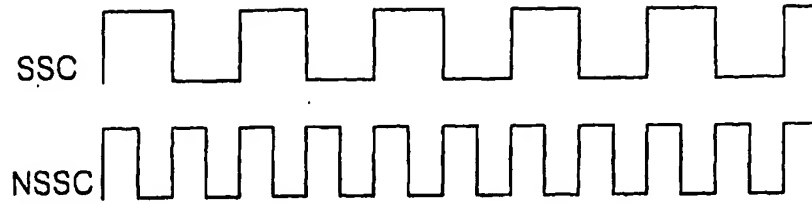


FIG. 4B

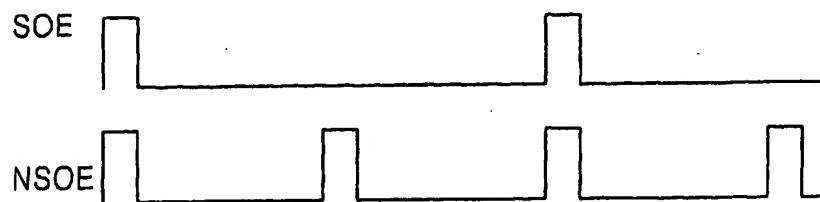


FIG. 8

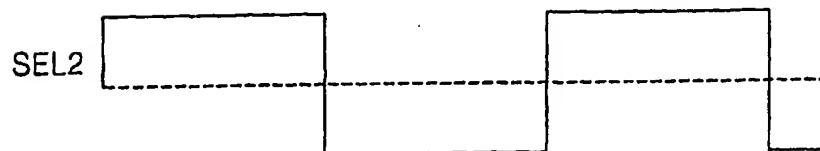


FIG.5

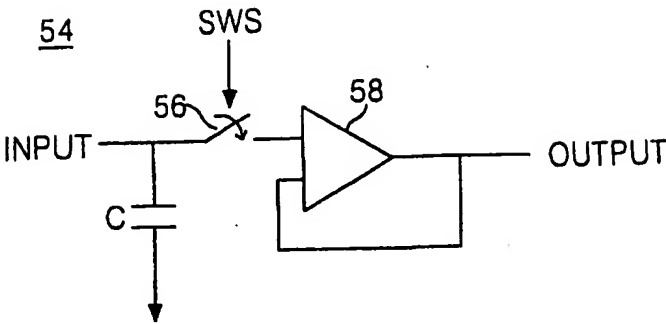


FIG.6

